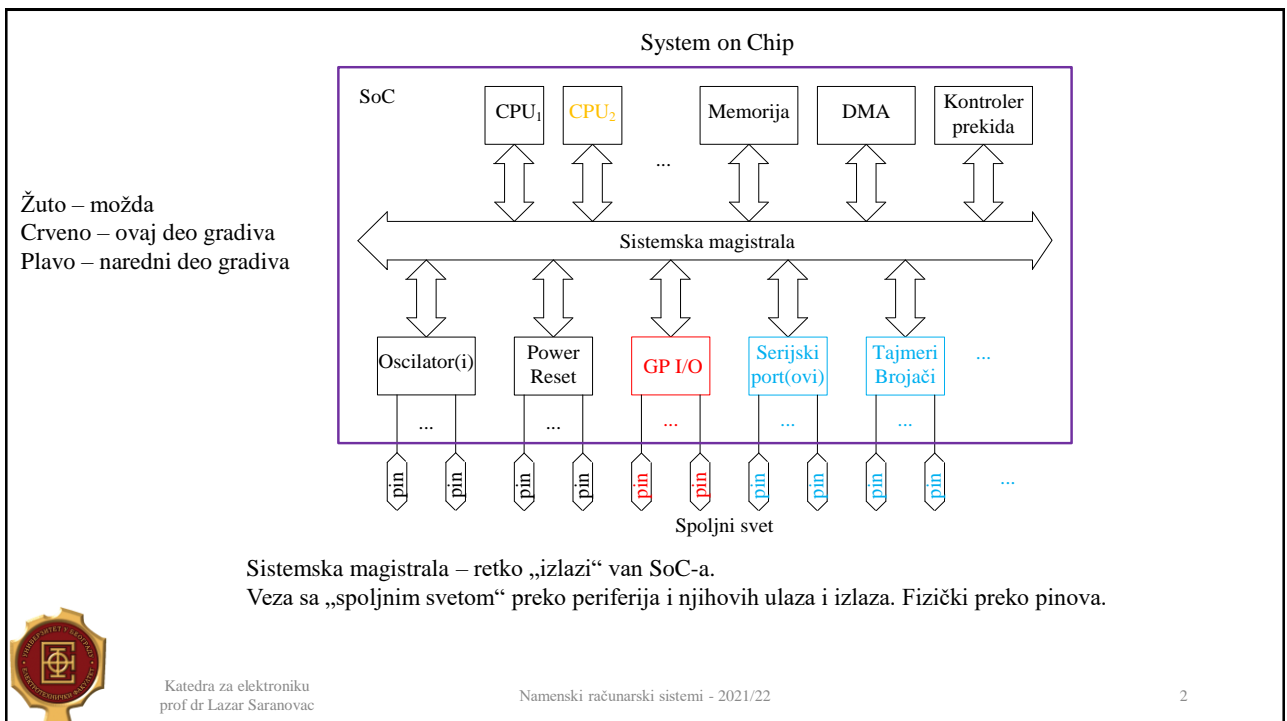


# Paralelni portovi

## General Purpose I/O

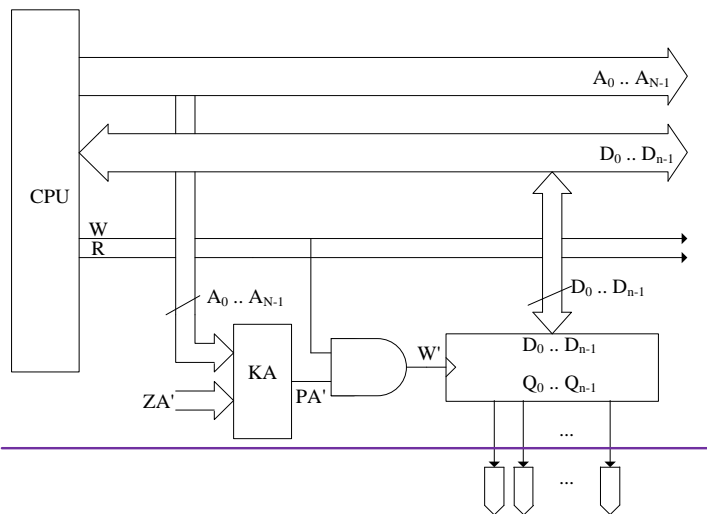


1



2

### Izlazni portovi

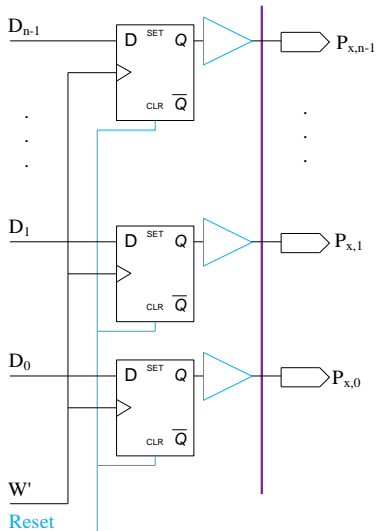


Ništa novo – običan prihvatni registar čiji izlazi idu na pinove SoC-a



3

### Izlazni portovi



Plavo – možda ima, možda ne.

n- obično 8. Grupe od po 8 bita.  
8bitni izlazni port.

Obično SoC poseduje više ovakvih grupa.

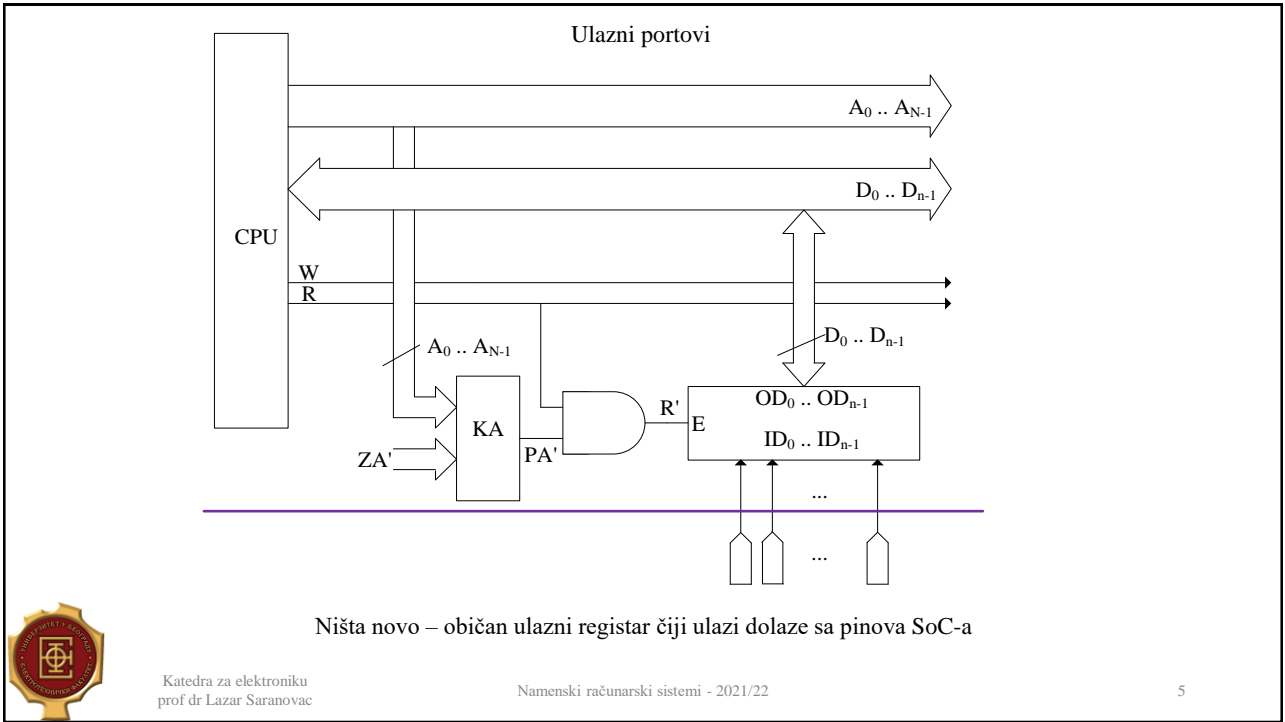
Oznaka  $P_{x,y}$   
P – paralelni port  
x – redni broj porta  
y – redni broj bita, signala, u okviru porta

Na ovaj način SoC može da generiše digitalne signale 1 i 0 u spoljni svet.

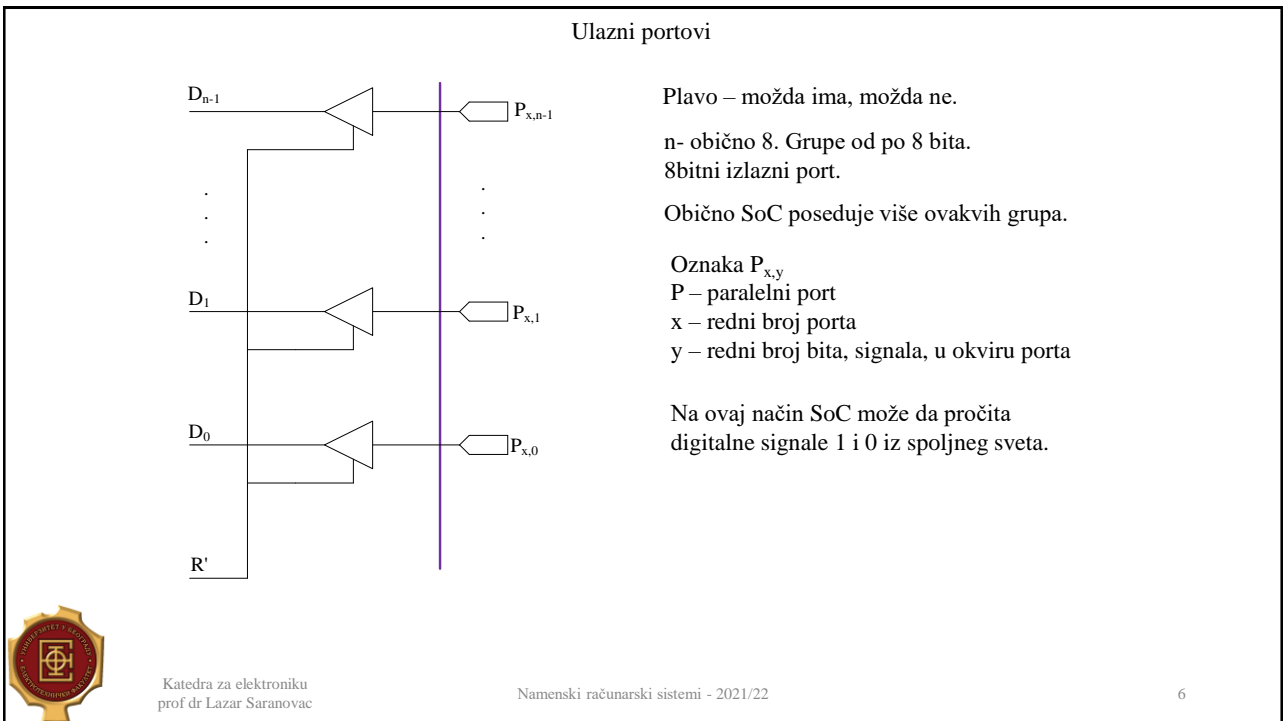
Eventualni bafer na izlazu – povećanje strujnih kapaciteta i eventualna translacija nivo. Česta situacija da su naponi napajanja za CPU, Memoriju, ..., (1.2V) niži od napona sa kojim se izlazi u spoljnji svet (3.3V).



4



5



6

Projektant SoC-a dilema – Koliko predvideti ulaznih a koliko izlaznih portova.

Svaki bit porta - jedan pin. To košta i povećava cenu SoC-a.  
Povećava cenu i korišćenja SoC-a. Veća štampa, više pinova za lemljenje, itd...

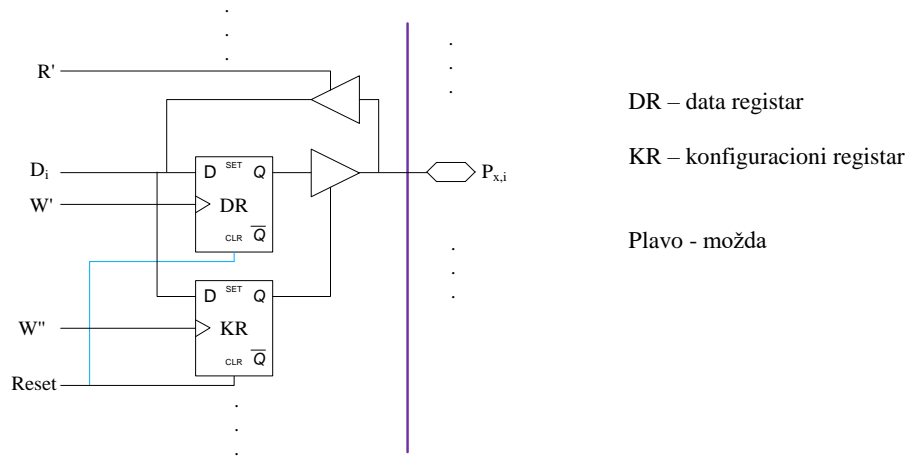
Šta god projektan predvideo, na primer 2 ulazna (16 bita) i 2 izlazna porta (16 bita),  
pojaviće se korisnik kojem će baš trebati 19 ulaznih bita i 3 izlazna. Itd...

Odgovor je da se naprave univerzalni portovi, ulazno – izlazni,  
koje korisnik može u toku rada, programski da konfigurise.  
Podesi da budu ulazni ili izlazni.



7

### Bidirekcionni portovi

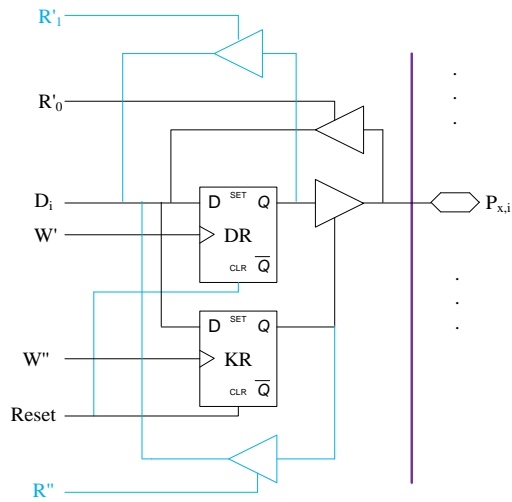


Jedna ćelija, jedan bit, bidirekcionnog paralelnog porta



8

### Bidirekcionni portovi - moguće varijante



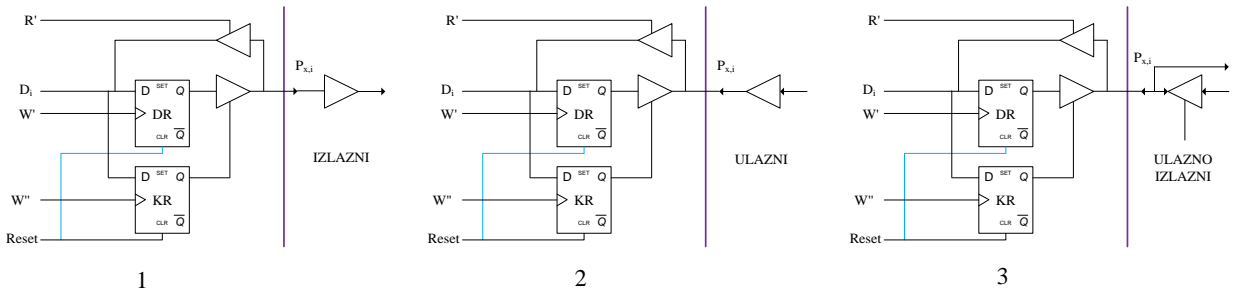
Plavo - možda

R'' - čitanje stanja konfiguracionog registra  
 R'\_0 - čitanje stanja signala na pinu  
 R'\_1 - čitanje podatka iz data registra



9

### Hardver ne zna kako ćete posle reseta koristiti port

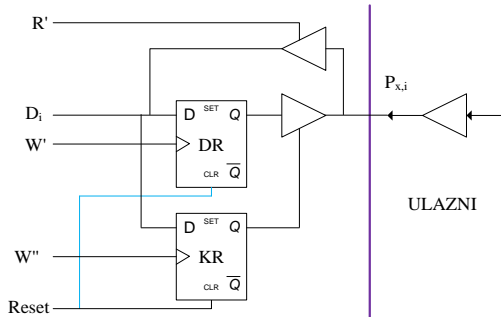


Sve tri mogućnosti su u igri

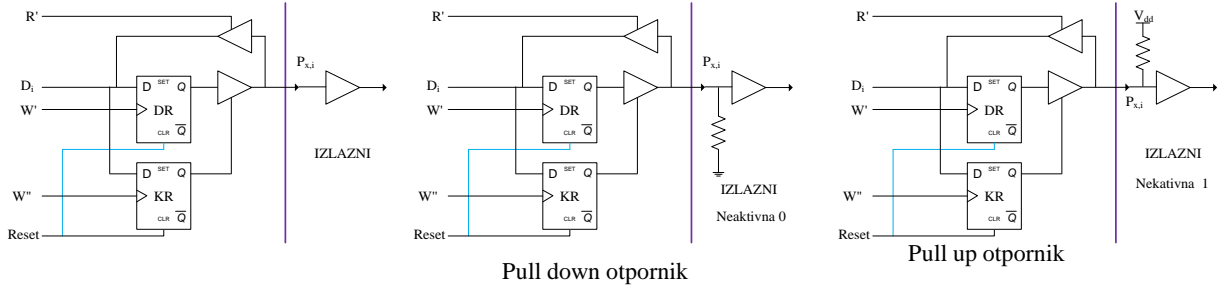
1. Uvek izlazni
2. Uvek ulazni
3. U toku rada može da se menja pa je po potrebi ponekad ulazni a nekada izlazni



10



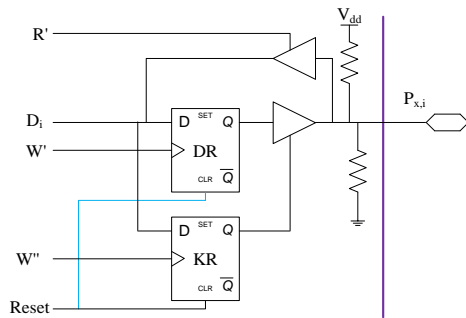
Zbog ove moguće situacije korišćenja bidirekcionog porta obavezno je za hardver da resetuje konfiguracioni registar i da po resetu port bude ulazni. Inače bi mogao da naste sudar na liniji porta. I kod svih SoC-eva po pravilu je ovakva konfiguracija. Rešava problem i korišćenja porta povremeno kao izlazni i povremeno kao ulazni.



Po resetu port je ulazni.

Linija porta je tada u stanju visoke impedanse. U ovoj situaciji to je ulazni signal za neki deo digitalnog sistema van SoC-a. Ako taj signal ima veliku važnost i bitno je da i u prelaznim režimima nema slučajnu vrednost – terminacija linije.



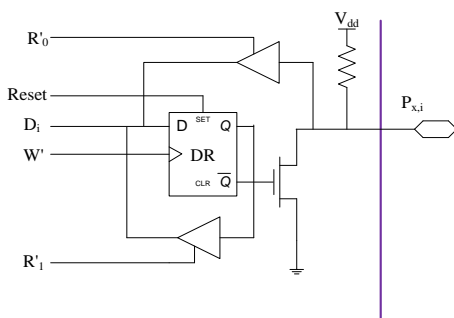


Česta varijanta koju nude proizvođači.  
Unutar SoC-a postoje otpornici za terminaciju.  
Jedan ili drugi ili oba.  
Ponekad i programabilni. Realizovani kao MOS tranzistori.

- Uočiti da u fazi inicijalizacije sistema MORA
1. Prvo da se upiše neaktivna vrednost u DR, a tek onda
  2. Promeni KR tako da port bude izlazni



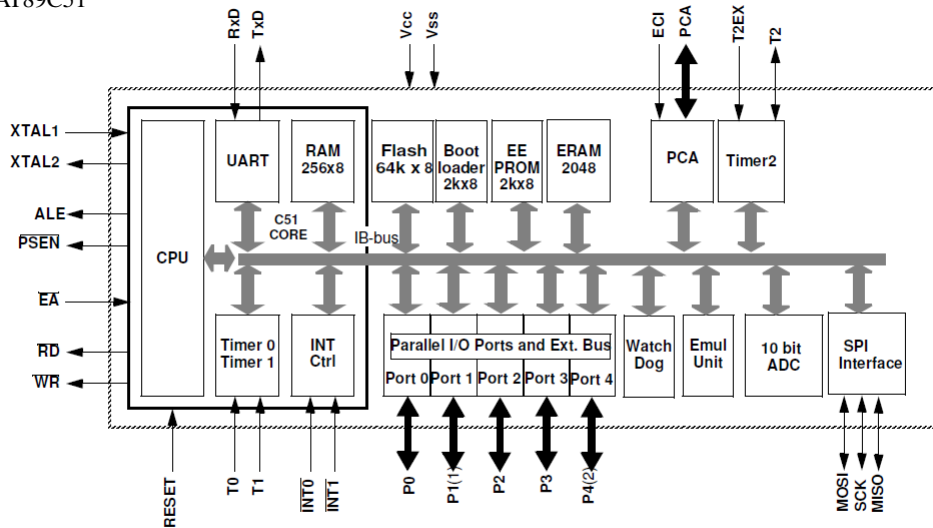
### Kvazi-biderekcioni port



Pojavili se u vreme NMOS tehnologije.  
Popularan mikrokontroler 8051.  
Široko korišćen.  
Danas dostupni mnogi klonovi.  
Veliki broj proizvođača pravi ovakve mikrokontrolere.  
Velika baza znanja.  
Upis 1 u DR praktično ovaj port pravi ulaznim.  
Ali isto tako ta 1 može da se koristi kao izlazna 1.  
Upis 0 podrazumeva da je izlazni port i da ta 0 ide van u spoljni svet.



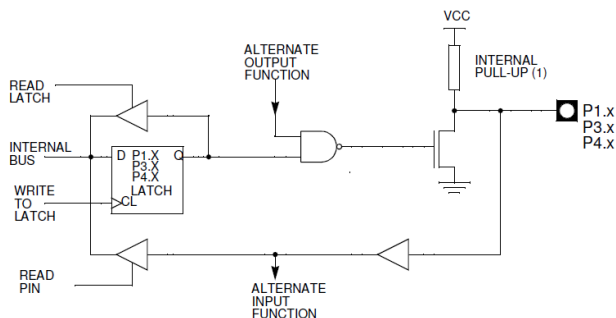
# ATMEL AT89C51



- Notes: 1. 8 analog Inputs/8 Digital I/O  
2. 5-Bit I/O Port



## Iz Data Sheet-a



Note: The internal pull-up can be disabled on P1 when analog function is selected.  
Figure 1 shows the structure of Ports 1 and 3, which have internal pull-ups. An external source can pull the pin low. Each Port pin can be configured either for general-purpose I/O or for its alternate input output function.

To use a pin for general-purpose output, set or clear the corresponding bit in the Px register (x = 1, 3 or 4). To use a pin for general-purpose input, set the bit in the Px register. This turns off the output FET drive.

To configure a pin for its alternate function, set the bit in the Px register. When the latch is set, the "alternate output function" signal controls the output level (see Figure 1). The operation of Ports 1, 3 and 4 is discussed further in the "quasi-Bidirectional Port Operation" section.





Iz Data Sheet-a

**Read-Modify-Write**

Česte instrukcije, odnosno magistralni ciklusi kod raznih procesora.

Jedan magistralni ciklus, koji ne može biti prekinut u okviru kojeg se na istoj adresi (ne menja se adresa) vrši prvo ciklus čitanja podataka, eventualno modifikuje od strane procesora, i tako modifikovan upiše.

R pa W na istoj adresi.

Jako zgodno za „zauzimanje“ zajedničkih resursa. Ovde bit adresibilnost.

Port 1, Port 2, Port 3 and Port 4 have fixed internal pull-ups and are referred to as "quasi-bidirectional" Ports. When configured as an input, the pin impedance appears as logic one and sources current in response to an external logic zero condition. Port 0 is a "true bidirectional" pin. The pins float when configured as input. Resets write logic one to all Port latches. If logical zero is subsequently written to a Port latch, it can be returned to input conditions by a logical one written to the latch.

Note: Port latch values change near the end of Read-Modify-Write instruction cycles. Output buffers (and therefore the pin state) update early in the instruction after Read-Modify-Write instruction cycle.

MOV Px.y, C	move carry bit to bit y of Port x	MOV P1.5, C
CLR Px.y	clear bit y of Port x	CLR P2.4
SET Px.y	set bit y of Port x	SET P3.3

It is not obvious the last three instructions in this list are Read-Modify-Write instructions. These instructions read the port (all 8 bits), modify the specifically addressed bit and write the new byte back to the latch. These Read-Modify-Write instructions are directed to the latch rather than the pin in order to avoid possible misinterpretation of voltage (and therefore, logic) levels at the pin. For example, a Port bit used to drive the base of an external bipolar transistor can not rise above the transistor's base-emitter junction voltage (a value lower than VIL). With a logic one written to the bit, attempts by the CPU to read the Port at the pin are misinterpreted as logic zero. A read of the latch rather than the pins returns the correct logic-one value.



Katedra za elektroniku  
prof dr Lazar Saranovac

Namenski računarski sistemi - 2021/22

17

Primer – imamo „sve elemente“ na raspolaganju da napravimo principsku šemu povezivanja „pametnog“ LCD displeja sa našim SoC-em



16x1



16x4



Katedra za elektroniku  
prof dr Lazar Saranovac

Namenski računarski sistemi - 2021/22

18

## Data Sheet

$T_a = 25^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Units
Supply Voltage (Logic)	$V_{DD} - V_{SS}$	--	2.7	--	4.5	V
Supply Voltage (LCD Drive)	$V_{DD} - V_o$	Shown in 3.1				V
High Level (Input Voltage)	$V_{IH}$	$V_{DD} = 3.0\text{V}$	$0.7 V_{DD}$	--	$V_{DD}$	V
Low Level (Input Voltage)	$V_{IL}$	$V_{DD} = 3.0\text{V}$	-0.3	--	0.55	V
High Level (Output Voltage)	$V_{OH}$	$I_{OH} = -0.1\text{mA}$	$0.75 V_{DD}$	--	$V_{DD}$	V
Low Level (Output Voltage)	$V_{OL}$	$I_{OL} = 0.1\text{mA}$	0	--	$0.2 V_{DD}$	V
Supply Current	$I_{DD}$	$V_{DD} - V_{SS} = 5.0\text{V}$	--	1.5	5.0	mA

Možemo da ga koristimo sa našim SoC-em koji ima napajanje 3.3V i dovoljne strujne kapacitete portova.



Katedra za elektroniku  
prof dr Lazar Saranovac

Namenski računarski sistemi - 2021/22

19

19

### 4.1 Pin Assignment

CNI

No.	Symbol	Level	Function
1.	VSS	--	Power Supply (0V, GND)
2.	VDD	--	Power Supply for Logic
3.	VEE (Vo)	--	Power Supply for LCD Drive
4.	RS	H / L	Register Select Signal
5.	R/W	H / L	Read / Write Select Signal H: Read L: Write
6.	E	H / L	Enable Signal (No pull – up Resister)
7.	DB0	H / L	Data Bus Line / Non – connection at 4 – bit operation
8.	DB1	H / L	Data Bus Line / Non – connection at 4 – bit operation
9.	DB2	H / L	Data Bus Line / Non – connection at 4 – bit operation
10.	DB3	H / L	Data Bus Line / Non – connection at 4 – bit operation
11.	DB4	H / L	Data Bus Line
12.	DB5	H / L	Data Bus Line
13.	DB6	H / L	Data Bus Line
14.	DB7	H / L	Data Bus Line
15.	LEDA	--	Power Supply for Backlight / LED Anode (+)
16.	LEDK	--	Power Supply for Backlight / LED Cathode (-)

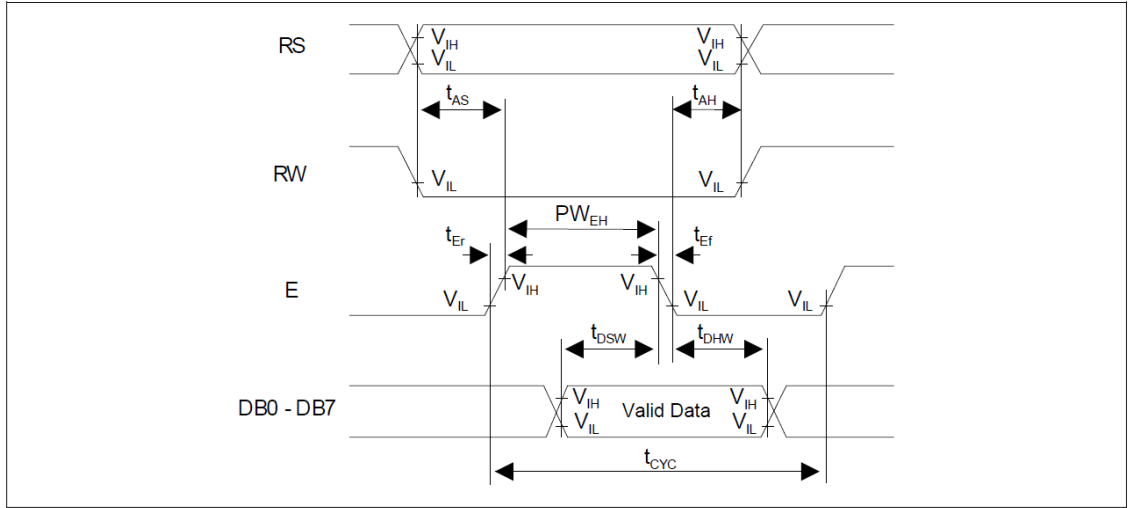


Katedra za elektroniku  
prof dr Lazar Saranovac

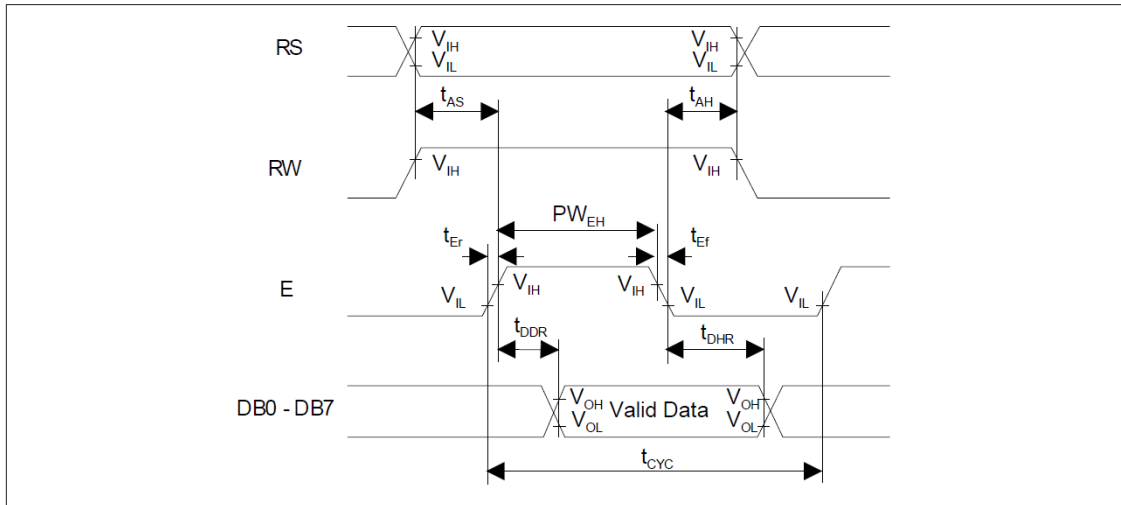
Namenski računarski sistemi - 2021/22

20

20



**Fig.1 Write Operation Timing**



**Fig.2 Read Operation Timing**



$V_{DD} = 2.7V \sim 4.5V$

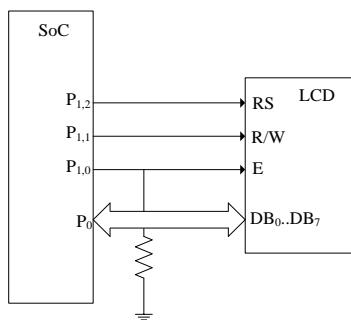
Parameter	Symbol	Conditions	Min.	Max.	Units
Enable Cycle Time	$t_{CYC}$	Fig.1, 2	1000	--	ns
Enable Pulse Width	$PW_{EH}$	Fig.1, 2	450	--	ns
Enable Rise / Fall Time	$t_{Er}, t_{Ef}$	Fig.1, 2	--	25	ns
Address Setup Time	$t_{AS}$	Fig.1, 2	60	--	ns
Address Hold Time	$t_{AH}$	Fig.1, 2	20	--	ns
Write Data Setup Time	$t_{DSW}$	Fig.1	195	--	ns
Write Data Hold Time	$t_{DHW}$	Fig.1	10	--	ns
Read Data Delay Time	$t_{DDR}$	Fig.2	--	360	ns
Read Data Hold Time	$t_{DHR}$	Fig.2	5	--	ns

Trik pitanje – Zar mi kada smo govorili o vremenskim dijagramima nismo uvek govorili da su ovo maksimalna vremena. Odakle ona sada u koloni min?

Ovo je periferija. Posmatramo kao one naše flipflove u prihvatnom registru. Sada upoređujemo sa magistralnim vremenima i vidimo da li će ona vremena biti zadovoljena.



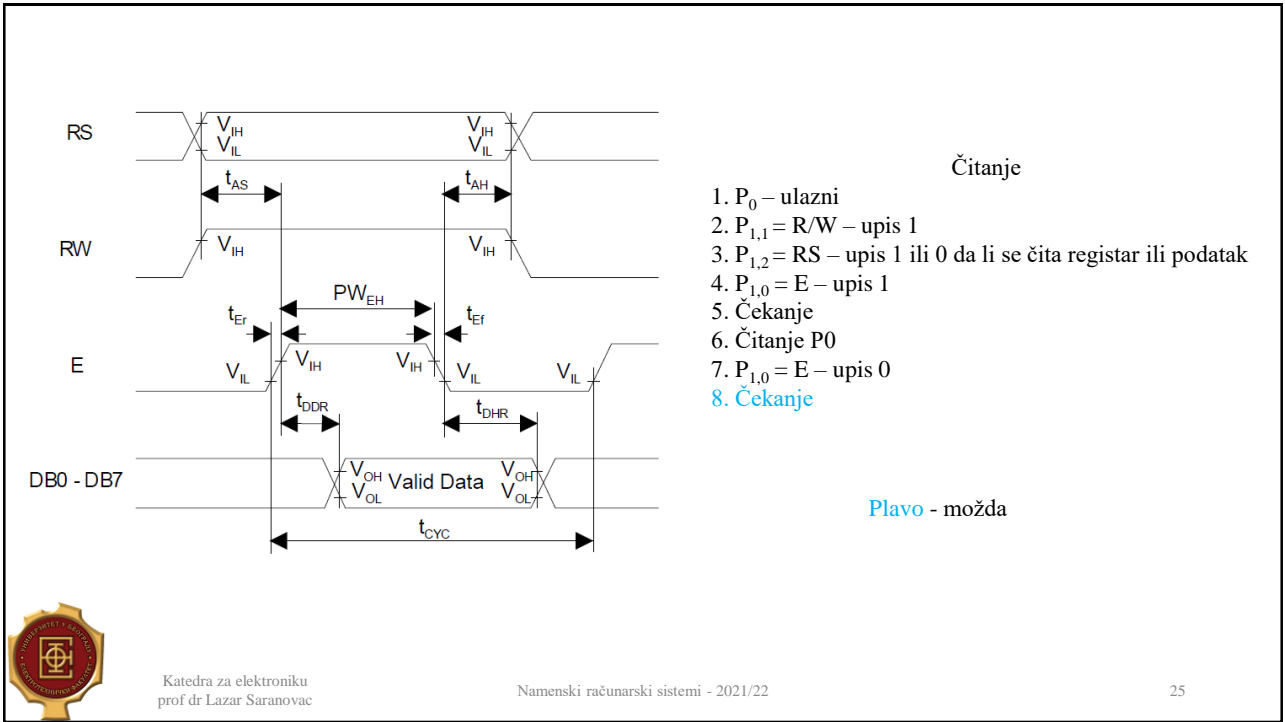
## Hardver i Protokoli



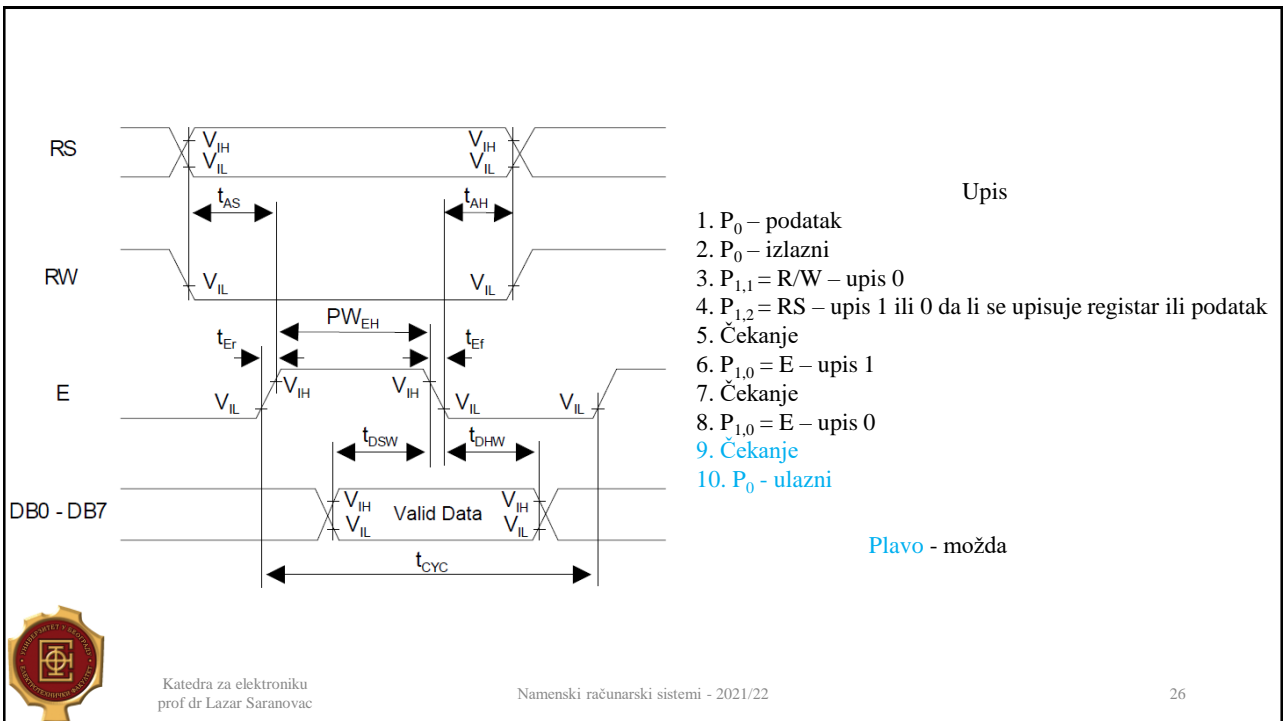
### Inicijalizacija po resetu

1.  $P_0$  – ulazni
2.  $P_{1,0} = E$  upis 0
3.  $P_{1,0}$  - izlazni
4.  $P_{1,1}$  – izlazni
5.  $P_{1,2}$  - izlazni





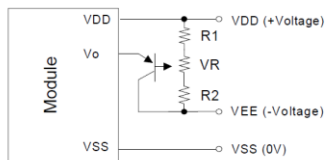
25



26

### Kontrola kontrasta

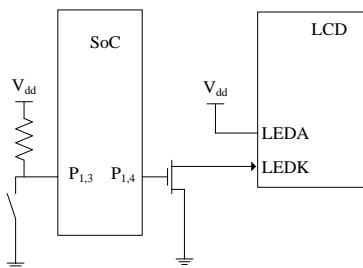
It is recommended to apply a potentiometer for the contrast adjust due to the tolerance of the driving voltage and its temperature dependence.



$$R1+R2+VR=10 \sim 20K\Omega$$

$$Tr=2SA1202 \text{ or equivalent}$$

### Kontrola osvetljenosti



#### Inicijalizacija

P<sub>1,3</sub> ulazni

P<sub>1,4</sub> upis 0

P<sub>1,4</sub> - izlazni

If P<sub>1,3</sub> = 0 then P<sub>1,4</sub> = 1 or IŠM

...

Povećavaj IŠM

...

Drži tako neko vreme

Videćemo šta i kako kada budemo govorilo o tome.

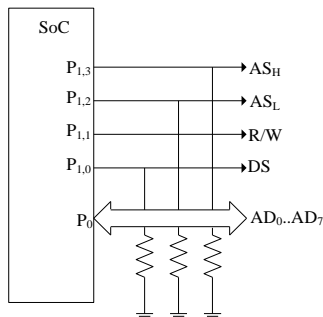


5. [10] Definisati protokol rada za ulazni i izlazni ciklus, kao i upotrebu paralelnih portova nekog SoCa u cilju formiranja **8-bitne produžne magistrale zajedničke za adrese i podatke** koja ima mogućnost adresiranja **2<sup>16</sup> 8-bitnih** memorijskih lokacija. SoC ima **dva 8-bitna** bidirekciona porta.

Produžna – može se prilagoditi i po brzini i udaljenosti periferijama, delovima sistema, van SoC-a.

Translacija nivoa, specijalne komponente - drajveri – povećanje strujnih kapaciteta, način prenosa, ...

### Hardver i Protokoli



#### Inicijalizacija po resetu

1. P<sub>0</sub> – ulazni
2. P<sub>1,0</sub> = DS upis 0
3. P<sub>1,0</sub> - izlazni
4. P<sub>1,2</sub> = AS<sub>L</sub> upis 0
5. P<sub>1,2</sub> - izlazni
6. P<sub>1,3</sub> = AS<sub>H</sub> upis 0
7. P<sub>1,3</sub> - izlazni



### Čitanje

1.  $P_0$  – ulazni
2.  $P_{1,0} = DS$  - upis 0 za svaki slučaj
3.  $P_{1,2} = AS_L$  – upis 0 za svaki slučaj
4.  $P_{1,3} = AS_H$  – upis 0 za svaki slučaj
5.  $P_0$  - upis donjeg dela adrese
6.  $P_0$  - izlazni
7. Čekanje
8.  $P_{1,2} = AS_L$  – upis 1
9. Čekanje
10.  $P_{1,2} = AS_L$  – upis 0
11. Čekanje
12.  $P_0$  - upis gornjeg dela adrese
13. Čekanje
14.  $P_{1,2} = AS_H$  – upis 1
15. Čekanje
16.  $P_{1,2} = AS_H$  – upis 0
17. Čekanje
18.  $P_0$  - ulazni
19.  $P_{1,1} = R/W$  upis 1
20. Čekanje
21.  $P_{1,1} = DS$  – upis 1
22. Čekanje
23. Čitanje  $P_0$
24.  $P_{11} = DS$  – upis 0
25. Čekanje

Katedra za elektroniku  
prof dr Lazar Saranovac

### Upis

1.  $P_0$  – ulazni
2.  $P_{1,0} = DS$  - upis 0 za svaki slučaj
3.  $P_{1,2} = AS_L$  – upis 0 za svaki slučaj
4.  $P_{1,3} = AS_H$  – upis 0 za svaki slučaj
5.  $P_0$  - upis donjeg dela adrese
6.  $P_0$  - izlazni
7. Čekanje
8.  $P_{1,2} = AS_L$  – upis 1
9. Čekanje
10.  $P_{1,2} = AS_L$  – upis 0
11. Čekanje
12.  $P_0$  - upis gornjeg dela adrese
13. Čekanje
14.  $P_{1,2} = AS_H$  – upis 1
15. Čekanje
16.  $P_{1,2} = AS_H$  – upis 0
17. Čekanje
18.  $P_0$  - podatak
19.  $P_{1,1} = R/W$  upis 0
20. Čekanje
21.  $P_{1,1} = DS$  – upis 1
22. Čekanje
23.  $P_{11} = DS$  – upis 0
24. Čekanje
25.  $P_0$  - ulazni

Namenski računarski sistemi - 2021/22

29

